

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-276097

(43)Date of publication of application : 30.09.1994

(51)Int.Cl.

H03M 1/10

G01R 1/28

G05F 3/30

H03F 1/30

(21)Application number : 05-235612

(71)Applicant : CRYSTAL SEMICONDUCTOR CORP

(22)Date of filing : 27.08.1993

(72)Inventor : SIGNORE BRUCE D  
SWANSON ERIC J

(30)Priority

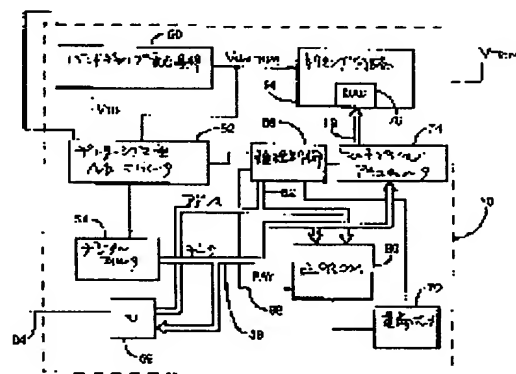
Priority number : 92 937993 Priority date : 31.08.1992 Priority country : US

## (54) CALIBRATION METHOD AND DEVICE FOR MONOLITHIC VOLTAGE REFERENCE

(57)Abstract:

PURPOSE: To provide a method and a device to calibrate the monolithic voltage reference as a function of temperature.

CONSTITUTION: An error calibration device of the monolithic voltage reference has a bandgap voltage reference 50 which outputs the voltage that undergoes no trimming and the temperature voltage, and these voltage are sent to a delta-sigma type A/D converter 52. The output of the converter 52 is processed by a digital filter 54 and stored in an EEPROM 60. The EEPROM 60 stores the temperature history data in a certain mode and also stores the temperature compensation data in another mode. In a certain mode, a multiplier/accumulator 74 produces a compensation coefficient based on the temperature compensation parameter given from the EEPROM 60 and sends this coefficient to a D/A converter 76 which controls a trimming circuit 14 as a digital word. The circuit 14 compensates the temperature of output of the reference 50.



## LEGAL STATUS

[Date of request for examination] 27.08.1993

[Date of sending the examiner's decision of rejection] 15.10.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3167065

[Date of registration] 09.03.2001

[Number of appeal against examiner's decision of rejection] 09-00909

[Date of requesting appeal against examiner's] 12.01.1997

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-276097

(43)公開日 平成6年(1994)9月30日

| (51)Int.Cl. <sup>5</sup> | 識別記号 | 庁内整理番号   | F I | 技術表示箇所 |
|--------------------------|------|----------|-----|--------|
| H 0 3 M 1/10             | A    | 9065-5 J |     |        |
| G 0 1 R 1/28             |      | 9216-2 G |     |        |
| G 0 5 F 3/30             |      | 4237-5 H |     |        |
| H 0 3 F 1/30             | A    | 8522-5 J |     |        |

審査請求 有 請求項の数23 F D (全 21 頁)

(21)出願番号 特願平5-235612

(22)出願日 平成5年(1993)8月27日

(31)優先権主張番号 9 3 7 9 9 3

(32)優先日 1992年8月31日

(33)優先権主張国 米国(US)

(71)出願人 592034261

クリスタル セミコンダクター コーポレ  
イション

CRYSTAL SEMICONDUCT  
OR CORPORATION

アメリカ合衆国 テキサス州 78744 オ  
ースティン サウス インダストリアル  
ドライブ 4210

(72)発明者 ブルース デル シグノア

アメリカ合衆国 テキサス州 オースティ  
ン サスバリラ カブ 3110

(74)代理人 弁理士 加藤 紘一郎 (外2名)

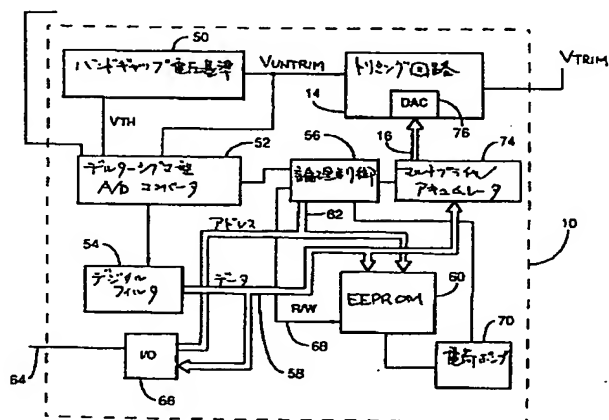
最終頁に続く

(54)【発明の名称】 モノリシック電圧基準の校正方法及び装置

(57)【要約】 (修正有)

【目的】 モノリシック電圧基準を温度の関数として校正する方法及び装置を提供する。

【構成】 モノリシック電圧基準のエラー校正装置は、トリミングを受けていない電圧と温度電圧を出力するバンドギャップ電圧基準50を有する。これらの電圧は共にデルタ-シグマ型A/Dコンバータ52へ送られる。コンバータ出力はデジタルフィルタ54で処理された後、EEPROM60へ記憶される。EEPROMは1つのモードにおいて温度履歴データを、また別のモードにおいて温度補償データを記憶する。1つのモードでは、マルチプライヤ/アキュムレータ74が、EEPROMからの温度補償パラメータを用いて補償係数を発生させ、トリミング回路14を制御するD/Aコンバータ76へデジタルワードとして送る。トリミング回路はバンドギャップ電圧基準の出力を温度補償する。



## 【特許請求の範囲】

【請求項 1】 未補償アナログ電圧及び二次デジタル補償ワードを受け、二次デジタル補償ワードの入力値に応じて未補償アナログ電圧を補償し、補償済みアナログ電圧を出力する補償回路と、  
補償回路の環境の関数として変化する環境パラメータを受け、所定の補償アルゴリズムに従って一次デジタル補償ワードを発生させる補償プロセッサと、  
一次デジタル補償ワードを受け、二次デジタル補償ワードを出力するヒステリシス回路とよりなり、  
一次デジタル補償ワードと二次デジタル補償ワードの間に、二次デジタル補償ワードの値が変化する前に一次デジタル補償ワードの値が変化するようなヒステリシスが与えられていることを特徴とするモノリシック補償済み電圧基準。

【請求項 2】 前記補償回路は、  
未補償アナログ電圧を発生させる基準電圧発生器と、  
基準電圧発生器に関連する所定環境パラメータを測定し、測定環境パラメータに対応するアナログ環境情報を発生させるアナログ環境パラメータ測定装置と、  
アナログ環境情報をデジタル環境情報へ変換するアナログーデジタルコンバータと、  
デジタル環境情報に関連するデジタル補償パラメータを記憶させる持久型メモリとより成り、  
前記補償プロセッサは、  
アナログーデジタルコンバータが出力するデジタル環境情報に対応するデジタル補償パラメータをメモリから選択する手段と、  
デジタル補償ワードを受け、該デジタル補償ワードの値に応じて未補償アナログ電圧を補償する補償回路とより成り、  
前記補償プロセッサは選択されたデジタル補償パラメータを所定の補償アルゴリズムに従って処理することによりアナログ環境情報に対応するデジタル補償ワードを出力するように作動可能なことを特徴とする請求項 1 に記載に電圧基準。

【請求項 3】 前記電圧基準発生器はアナログ温度信号を与える熱電圧出力を有するバンドギャップ基準発生器より成り、前記アナログ温度信号は絶対温度に比例する電圧応答を有することを特徴とする請求項 2 の電圧基準。

【請求項 4】 前記アナログ環境パラメータ測定装置は基準電圧発生器と共在し該基準電圧発生器の温度を測定してアナログ温度信号を与える温度モニターより成り、前記アナログーデジタルコンバータの出力はデジタル温度信号であることを特徴とする請求項 2 の電圧基準。

【請求項 5】 前記アナログーデジタルコンバータは温度モニターの出力と基準電圧発生器と共在する内部電圧基準との比率を出力するように作動可能なことを特徴とする請求項 4 の電圧基準。

2

【請求項 6】 前記基準電圧発生器は内部熱電圧基準を有するバンドギャップ基準発生器より成り、前記内部熱電圧基準は絶対温度に比例する温度応答に対応する温度エラーを有することを特徴とする請求項 5 の電圧基準。

【請求項 7】 前記所定補償アルゴリズムは補償プロセッサが用いる多項曲線当てはめアルゴリズムより成ることを特徴とする請求項 2 の電圧基準。

【請求項 8】 前記補償回路はデジタル的にプログラム可能な抵抗分圧器を有する抵抗分圧器より成り、デジタル的にプログラム可能な抵抗分圧器の値は二次デジタル補償ワードにより選択されることを特徴とする請求項 2 の電圧基準。

【請求項 9】 アナログーデジタルコンバータを制御して温度の関数としての未補償アナログ電圧の応答を複数の温度において測定することにより各測定温度に対してデジタル温度信号及びその関連のデジタルエラー電圧信号を発生させ、また各測定温度においてその関連のデジタル温度信号及びデジタルエラー電圧信号をメモリに記憶させるテスト制御回路をさらに具備し、前記デジタルエラー電圧信号は各デジタル温度信号について補償パラメータへ変換されることを特徴とする請求項 2 の電圧基準。

【請求項 10】 前記テスト制御回路は外部の測定プロンプト信号に応答してデジタル温度信号及びその関連のデジタルエラー電圧信号を出力させ、それらをメモリに記憶させるように作動することを特徴とする請求項 9 の電圧基準。

【請求項 11】 前記アナログーデジタルコンバータは外部の標準基準電圧、未補償アナログ電圧及びアナログ温度信号を受けるマルチプレクサを入力側に有し、前記マルチプレクサはテスト制御回路の制御下にあるテストモードにおいて外部の標準基準電圧と未補償アナログ電圧の比率を表わすデジタル値及び標準基準電圧とアナログ温度電圧の比率を表わすデジタル値を与えるように作動可能であり、前記マルチプレクサはまた動作モードにおいて標準基準電圧とアナログ温度信号との比率を表わすデジタル値をデジタル温度信号として与えるように作動可能であることを特徴とする請求項 9 の電圧基準。

【請求項 12】 モノリシック基準電圧発生器からの未補償アナログ電圧出力を補償して補償済みアナログ出力電圧を与える方法であって、  
基準電圧発生器の近傍において該基準電圧発生器に関連する所定の環境パラメータを測定して所定の環境パラメータの測定値に対応するアナログ環境信号を発生させ、  
アナログーデジタルコンバータによりアナログ環境信号をデジタル環境信号へ変換し、  
デジタル環境信号に関連するデジタル補償パラメータを持久型メモリに記憶させ、  
変換ステップから得たデジタル環境信号に対応するデジタル補償パラメータをメモリから取り出し、

デジタル補償パラメータを所定の補償アルゴリズムに従って処理することによりデジタル補償ワードを出力し、アナログ領域の未補償アナログ電圧をデジタル補償ワードの値に対応する値に応じて補償するステップよりなることを特徴とする補償方法。

【請求項13】 前記測定ステップは基準電圧発生器の測定及びアナログ環境信号としてのアナログ温度信号の発生より成り、前記変換ステップはアナログ温度信号のデジタル温度信号への変換より成ることを特徴とする請求項12の方法。

【請求項14】 前記変換ステップはアナログ温度信号及び基準電圧発生器と共存する内部電圧基準の値を処理してそれらの比率をデジタル信号として与えることを特徴とする請求項13の方法。

【請求項15】 前記基準電圧発生器はバンドギャップ基準発生器より成り、基準電圧発生器温度の測定ステップはバンドギャップ基準発生器が出力する内部の熱的電圧基準を測定して絶対温度に比例する温度応答を有するアナログ温度信号を与えることを特徴とする請求項14の方法。

【請求項16】 所定の環境パラメータは温度パラメータより成り、所定の環境パラメータを測定する前記ステップは基準電圧発生器近傍の温度を測定し絶対温度に比例するアナログ温度信号を発生するステップより成り、デジタル環境信号はデジタル温度信号よりなることを特徴とする請求項12の方法。

【請求項17】 基準電圧発生器が出力する未補償アナログ電圧の応答を複数の温度において温度の関数として測定し、

各測定温度についてデジタル温度信号及びその関連のデジタルエラー電圧信号を出力し、

各測定温度においてその関連のデジタル温度信号及びデジタルエラー電圧信号をメモリに記憶させるステップをさらに含み、

デジタルエラー電圧信号は各デジタル温度信号について補償パラメータに変換されることを特徴とする請求項16の方法。

【請求項18】 温度の関数として未補償アナログ電圧の応答を測定する前記ステップは外部の測定プロンプト信号の受信にตอบสนองして作動することにより温度信号及びその関連のエラー電圧信号を出力させ、それらの値がメモリに記憶されるようにすることを特徴とする請求項17の方法。

【請求項19】 温度の関数として未補償アナログ電圧の応答を測定する前記ステップは、アナログーデジタルコンバータの変換動作時、入力を多重化して外部の標準基準電圧、未補償アナログ電圧、内部の基準電圧及びアナログ温度信号を受信し、

前記多重化ステップはテストモードにおいて、未補償アナログ電圧だけでなく外部の基準電圧のデジタル値と外

部の基準電圧とアナログ温度電圧の比率を表わすデジタル値をアナログーデジタルコンバータの出力に与えるように作動し、

前記多重化ステップは動作モードにおいて内部の基準電圧とアナログ温度信号の比率を表わすデジタル値をデジタル温度信号として与えるように作動することを特徴とする請求項17の方法。

【請求項20】 デジタル補償ワードの値に応じて未補償アナログ電圧を補償する前記ステップはデジタル補償ワードにヒステリシスを与えることによりヒステリシスをかけたデジタル補償ワードを出力させ、該ヒステリシスをかけたデジタル補償ワードはデジタル補償ワードが所定数の最下位ビットだけ変化するまでその変化を禁止されており、未補償アナログ電圧はヒステリシスをかけたデジタルワードの値に応じて補償されることを特徴とする請求項12の方法。

【請求項21】 一次デジタル補償ワードの値に対応する値によってアナログ領域の未補償アナログ電圧を補償し、

20 未補償アナログ電圧補償ステップに関連する環境パラメータにตอบสนองして作動される所定の補償アルゴリズムにより二次デジタル補償ワードを発生させ、

二次補償ワードが所定数の最下位ビットだけ変化するまで一次デジタル補償ワードの変化を禁止することにより、二次デジタル補償ワードに関して一次デジタル補償ワードにヒステリシスをかけることを特徴とする請求項12の方法。

【請求項22】 基準電圧発生器を第1の温度にし、基準電圧発生器の温度を第1の温度から第2の温度へ変化させ、

30 基準電圧発生器の温度変化に従って第1の温度と第2の温度の間の複数の温度測定点において基準電圧発生器のアナログ出力電圧を測定し、

複数の温度測定点の各々において基準電圧発生器のアナログ出力電圧の温度エラーを表わすデジタルエラー電圧信号を所定のエラー測定アルゴリズムに従って発生させ、

各温度測定点についてその温度に対応する値をもつデジタル温度信号を発生させ、

40 各温度測定点についてデジタル温度信号と共にデジタルエラー電圧信号を持久了メモリに記憶させるステップよりなることを特徴とする請求項12の方法。

【請求項23】 第1の温度と第2の温度の間のランダムな任意の温度にある基準電圧発生器の温度を第1の温度から第2の温度へ変化させた後測定し、

基準電圧発生器の測定温度を該温度に対応する測定デジタル温度値に変換し、

50 所定の選択アルゴリズム及び記憶させた関連のデジタル温度信号に応じて測定デジタル温度信号に対応する補償パラメータを選択し、

所定の補償アルゴリズムに応じて測定デジタル温度信号及び取り出した補償パラメータを処理してデジタル補償ワードを発生させ、

デジタル補償ワードの値に応じて基準電圧発生器のアナログ出力電圧を補償することによりデジタル補償出力電圧を発生させることを特徴とする請求項22の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は一般的に電圧基準に関し、さらに詳細にはアナログーデジタルコンバータのようなデータ収集装置に用いる、電圧基準を温度の関数として較正する方法に関する。

【0002】

【従来の技術】従来型電圧基準はアナログ基準回路を用いてその出力電圧をトリミングすることにより温度ドリフトを除去している。かかる方式を曲率補償(curvature compensation)と呼ぶ。一般的に、この従来型アナログ電圧基準としてバンドギャップ基準を利用する。このタ＊

$$V_{OUT} = V_{be} + KV_T + FV_T^2 + GV_T^3 + \dots$$

上式1の定数K、F、Gはデジタル「整数」値でなくてアナログの実数「量」である。これらの量は、得られる電圧が温度変化に感応しないようにスケールリングして加算する必要がある。全てのスケールリング及び加算操作はアナログ領域で行われるため、これらの回路は処理の不確かさ(processing uncertainties)及び時間ドリフトに影響される度合いが大きい。基準の温度性能の調整には主としてレーザートリミングした抵抗を用いる。基準はトリミング完了後実装されるため実装後の応力に起因して圧電効果による較正後のシフトが存在するのが普通である。

【0005】

【発明が解決しようとする課題】本発明は、未補償アナログ電圧を発生するモノリシック基準電圧発生器を備える補償電圧基準を提供する。基準電圧発生器のエラーはアナログ領域で測定した後アナログーデジタルコンバータによりデジタル領域のデジタルエラー情報へ変換する。デジタルエラー情報に関連するデジタル補償パラメータを記憶させるために持久型メモリを用いる。補償プロセッサにより、アナログーデジタルコンバータから出力されるデジタルエラー情報に対応するデジタル補償パラメータの一部をメモリから選択する。このプロセッサは選択したデジタル補償パラメータを所定の補償アルゴリズムに従って処理することによりデジタル補償ワードを出力する。補償回路はデジタル補償ワードを受けて該デジタル補償ワードに応じて未補償アナログ電圧を補償する。

【0006】本発明の別のもう1つの特徴は、測定されるエラーが温度エラーであることである。温度モニター

\*イブのアナログ基準は負の温度係数をもつバイポーラ素子のベース-エミッタ電圧 $V_{be}$ と正の温度係数をもつ熱電圧 $V_{th}$ の和より成る。この熱電圧は異なる電流密度で作動する2つのバイポーラ素子のベース-エミッタ電圧の差から求める。 $V_{be}$ 及び $V_{th}$ の値は適当にスケールリングして全回路の温度係数を一次精度で相殺する必要がある。温度ドリフトをさらに低いレベルにするには二次或いは三次の補償が必要である。

【0003】従来の温度補償方法の主要な問題点は、これらの操作がアナログ領域においてアナログ温度曲率補償方式により行われることにある。電圧 $V_{th}$ は絶対温度に比例する(P T A T)線形電圧であり、ベース-エミッタ電圧は幾つかの二次及び/または三次項をもつため温度と共に変化する多項式である。電圧 $V_{be}$ を温度に関して線形化すると以下の式が得られる。

【0004】

【数1】

を、モノリシック基準電圧発生器と「共在(co-located)」させてその発生器の温度を測定させアナログ温度信号を出力させる。アナログ温度信号を該アナログ温度信号と、モノリシック基準電圧と共在する内部の基準電圧の比率を表わすデジタル温度信号へアナログーデジタルコンバータにより変換する。

【0007】本発明のさらに別の特徴は、モノリシック基準電圧発生器が発生される内部熱電圧基準を有するバンドギャップ基準発生器より成ることである。この基準はアナログ温度信号として出力され、アナログーデジタルコンバータが基準電圧発生器の未補償アナログ出力電圧に対する熱電圧基準の比率であるデジタル温度信号を与える。この内部熱電圧基準は絶対温度に比例する。

【0008】本発明のさらに別の特徴は、テスト制御回路を設けて、複数の温度における温度の関数としての未補償アナログ出力電圧応答を測定して各測定温度に対してデジタル温度信号及びその関連のデジタルエラー電圧信号が出力されるようにアナログーデジタルコンバータを制御することである。これらの信号は各測定温度においてメモリに記憶させる。アナログーデジタルコンバータの入力にマルチプレクサを設けて外部の標準基準電圧、未補償アナログ電圧、アナログ温度信号及び内部基準電圧を受信させる。デジタルエラー信号は未補償アナログ電圧と外部標準基準電圧の比率を表わすが、デジタル温度信号はアナログ温度信号と内部基準電圧の比率を表わす。

【0009】本発明のさらに別の特徴は、補償回路がヒステリシスを含むことである。補償回路の出力はデジタル補償ワードの値が所定数の最下位ビットだけ変化する

までその変化を禁止される。

【0010】以下、添付図面を参照して本発明を実施例につき詳細に説明する。

#### 【0011】

【実施例】図1は曲率補償アナログ基準のブロック図を示す。このアナログ基準は単一のチップ10の上に形成されたモノリシック回路である。このアナログ基準は電圧 $V_{UNTRIM}$ を出力する未だトリミングされていないモノリシックアナログ基準12を含む。この電圧 $V_{UNTRIM}$ はデジタルバス16上でデジタルトリミングコマンドワードを受けるトリミング回路14へ入力される。このデジタルトリミングコマンドワードはトリミング回路14の作動を制御するためその内部のデジタル-アナログコンバータ(DAC)へ入力される。トリミング回路14の出力が曲率補償済みアナログ電圧 $V_{TRIM}$ である。

【0012】バス16上のデジタルトリミングコマンドワードはデジタル処理回路15により発生される。この処理回路15はその1つの入力として温度測定装置18から温度測定値を受ける。この温度測定値と探索表20に記憶させた較正パラメータを組み合わせでデジタルバス16上へデジタルトリミングコマンドワードを出力する。ここで重要なことは、温度測定回路18はチップ10上のアナログ基準12及びそれ以外のブロックと一体的であるため電圧の直接温度測定が行われることである。これは外部の温度測定装置から温度測定値を外部のピンに入力するシステムとは対照的である。

【0013】動作について説明すると、較正パラメータを探索表20に記憶させた後、作動時の温度を測定してデジタル処理回路15に入力し、この温度測定値に対応するパラメータを探索表20から取り出してデジタル処理回路15のデジタル処理アルゴリズムに利用させる。後述するように、電圧の温度ドリフトを補正する方法はデジタル多項曲線当てはめアルゴリズムによるデジタル方式を利用する。

【0014】図2は単一チップ10上の図1に示したモノリシック基準のさらに詳細なブロック図である。好ましい実施例において、トリミングを受けていないアナログ基準12はバンドギャップ電圧基準50により実現する。しかしながら、これはいかなる種類のツェナー素子或いは埋め込み型ツェナー素子のようなものでよい。バンドギャップ電圧基準50は一次補償されており、またトリミング回路14のトリミング動作のためその基準の絶対値は重要ではない。バンドギャップ電圧基準50はアナログ基準電圧 $V_{UNTRIM}$ を出力するが、この基準電圧は基本的にバイポーラトランジスタの $V_{be}$ にこの $V_{be}$ に対するPTAT補正電圧 $KVT$ を加えたもので、 $V_{be}$ の線形温度変動を相殺する、即ち一次補償を行う。PTAT補正電圧を加えた後、電圧 $V_{UNTRIM}$ の変動はほとんど二次の温度変動によるものである。バンドギャップ電圧基準の1つの特徴はPTAT熱電圧を出力できることで

あり、この電圧はバンドギャップ基準内の異なる電流密度で作動する2つのバイポーラ素子のベース-エミッタ電圧間の差である。この電圧を $V_{th}$ で示す。

【0015】 $V_{th}$ バンドギャップ電圧基準50が発生するものとして示すが、バンドギャップ電圧基準と共存する、即ち同じパッケージ或いは同じ基板上の別の $V_{th}$ 発生器により発生させることも可能である。この別の $V_{th}$ 発生器は2つの異なる電圧密度で作動する2つのバイポーラ素子により実現することができるが、この電圧 $V_{th}$ はこれら2つの素子の $V_{be}$ 電圧の間の差である。

【0016】電圧 $V_{UNTRIM}$ はデルタ-シグマ型アナログ-デジタルコンバータ52に入力される。このアナログ-デジタルコンバータは任意の次数、例えば2、3、4次のものでよく、任意のトポロジー、例えば単一ループ、マルチループ、マルチビットでよい。好ましい実施例において、このアナログ-デジタルコンバータ52は二次電荷再分配型デルタ-シグマコンバータとしてシリコンで実現される。これはEarly et alの米国特許第4,943,807号(発明の名称:Digitally Calibrated Delta-Sigma Analog-to-Digital Converter)に記載されたデルタ-シグマコンバータのトポロジーに似ている。デルタ-シグマ型アナログ-デジタルコンバータ52は高い開ループ利得を有するアナログフィードバックループ(コンパレータを含む)内に埋め込んだ1ビットアナログ-デジタルコンバータより成る二次の変調器を含む。アナログ入力信号はバンドギャップ電圧基準50のトリミングされていない出力 $V_{UNTRIM}$ より成る。デルタ-シグマ型アナログ-デジタルコンバータ52内のコンパレータの出力は、正または負の出力基準電圧に接続した1組のスイッチより成る1ビットデジタル-アナログコンバータを駆動する。このデジタル-アナログコンバータの出力信号は積分キャパシタ上の電荷を零に近い値に維持する。従って、コンパレータの出力のデューティサイクルはアナログ入力の値を表わす。デルタ-シグマ型アナログ-デジタルコンバータ52のサンプリング周波数は327.68kHzである。1ビットデジタル-アナログコンバータを用いているが高次の出力レベルを用いてもよい。

【0017】デルタ-シグマ型アナログ-デジタルコンバータ52の出力はデジタルフィルタ54へ入力される。デジタルフィルタ54は有限長インパルス応答型デジタルフィルタであり、高速で低分解能の1ビットコンパレータ出力を低周波数の16ビット分解能出力に変換する。デルタ-シグマ型アナログ-デジタルコンバータ52とデジタルフィルタ54全体のダイナミックレンジは90dBより大きい。このフィルタの出力ワードレートは5Hzである。デルタ-シグマ型アナログ-デジタルコンバータ52は論理制御回路56により制御されるが、その制御は外部の理想電圧 $V_{IDEAL}$ 及び接地電圧だけでなく入力 $V_{th}$ 及び $V_{UNTRIM}$ を選択させるものであ

り、該コンバータの入力として多重化される。以下において詳しく説明するように、これらの電圧を用いて多項曲線当てはめアルゴリズムを実行させる。

【0018】デジタルフィルタ54の出力はデジタルデータバス58に接続してあるが、このバスは電氣的に消去可能で且つプログラム可能なリードオンリーメモリ(EEPROM)に入力される。このEEPROM60は種々のパラメータを記憶に用いるが、後述するようにこれらのパラメータは1つのモードにおいてそのパラメータを測定し、別のモードにおいて最終校正パラメータを記憶させるに必要なものである。EEPROM60は論理制御回路56により発生されるアドレスをアドレスバス62を介してアドレス入力として受ける。さらに、I/O回路66の入力としてシリアルポート64上でチップ10の外部においてアドレスを受けることができる。このI/O回路66はアドレスバス62及びデータバス58とインターフェイスする。後述するように、校正モードの間多数の温度においてチップ10を校正するためのデータをEEPROM60に記憶させる。この情報は最終テストでEEPROMから取り出され、最終補正パラメータを計算した後チップの作動時に利用するためEEPROM60に記憶させる。しかしながら、後述するように、これら全ての動作をチップ上で行うことも可能である。

【0019】EEPROMをプログラミングする際、データをEEPROM60に永続的に記憶させる必要があるが、これは持久型メモリであるからである。これはライン68上で受けて論理制御回路56とインターフェイスする読取り/書込み信号(R/W)を用いて行う。図示しないがR/W信号ライン68はチップの外部でもインターフェイスされている。プログラミングは書込み動作とプログラム電圧に関連して行う。プログラム電圧はEEPROM60を能率良くプログラミングするため所定の持続時間、所定のレベルにするに必要な普通の電圧である。これはEEPROM60に固有の特徴である。1つの実施例において、このプログラム電圧はオンチップ電荷ポンプ70から得られるが、これはチップのプログラミングに必要な適当な高電圧を与える。しかしながら、好ましい実施例では、この電圧は外部で発生させる。電荷ポンプ70におけるプログラム電圧の作用は論理制御回路56により制御される。

【0020】データバス58はまたマルチプライヤ/アキュムレータ74に接続されているが、このマルチプライヤ/アキュムレータ74も論理制御回路56により制御される。マルチプライヤ/アキュムレータ74はトリミング回路14へ入力するデジタル出力をデジタルバス16上に発生させる。マルチプライヤ/アキュムレータ74は16ビット×16ビットの乗算と16ビットの加算を行うことができる。この回路74を用いて傾きと切片の計算を下式に従って行う。

【0021】

【数2】

$$E_x = (m_{N-1} \times T_x) + N-1$$

以下においてこの式をさらに詳細に説明する。

【0022】トリミング回路14は基準トリミングデジタル-アナログコンバータ76を含み、このコンバータはデジタル的にプログラム可能な抵抗分圧器として働く抵抗型デジタル-アナログコンバータを用いる。その主要な目的はトリミングされていない基準電圧を3.0ボルトの値に調整することである。トリミングデジタル-アナログコンバータの分解能は約50マイクロボルトである。基準トリミングデジタル-アナログコンバータ76は16ビットの分解能を有するが全てのビットが利用されるわけではない。トリミングされていない基準電圧の変動は最悪のケースでも3.4乃至3.8ボルトの範囲内にあり、3.0ボルトにトリミングするに過ぎないため、その範囲の15%だけを利用する。このデジタル-アナログコンバータのDNL及びINLは普通1/4LSBに近い。

【0023】図3乃至7を参照して、図示の曲線はデジタル曲線当てはめ操作を説明するものである。図3は、バンドギャップ基準により出力される実際の電圧 $V_{UNTRIM}$ を理想的な電圧 $V_{IDEAL}$ 比較したプロットである。これは電圧対温度のプロットである。曲線に沿う $n$ 個のポイントにおいて、 $V_{UNTRIM}$ を測定して $V_{IDEAL}$ と比較し $\xi_n$ を評価する。これは $V_{UNTRIM}$ 曲線と $V_{IDEAL}$ 曲線の間の差である。温度及び差の値を後で利用するため記憶させる。後述するように、所与の温度における $\xi_n$ が分かると、 $V_{IDEAL}$ の電圧を復元するにはこの値を任意の所与の温度において $V_{UNTRIM}$ の値から差し引くことが必要があるに過ぎない。

【0024】図4はデータ群の2つのセグメント、即ち最初のセグメントと最後のセグメントに対する $V_{UNTRIM}$ と $V_{IDEAL}$ のプロットを表わす。 $T_{N-1} < T_x < T_N$ であれば、 $\xi_x = \xi_{N-1}$ である。これは長方形近似法であり、図4の曲線に書き加えたものである。その結果を図5に示す。各セクションのレベルがシフトされているが傾きは調整されていない。

【0025】図6はトリミングされていない電圧曲線を不等辺四辺形で近似したさらに複雑な曲線当てはめ法を示す。この方法では、 $N-1$ 個のセグメントの各々が線形補間アルゴリズムにより補間されている。このアルゴリズムはエンドポイントにつき実行した後、傾きと切片を所与のセグメントについて計算する。例えば、傾き $m_i$ を下式で計算する。

【0026】

【数3】



$$m_1 = \frac{(\xi_2 - \xi_1)}{T_2 - T_1}$$

y切片は下式で計算する。

【0027】

【数4】

$$b_1 = \xi_1 - (m_1 \times T_1)$$

通常動作時、温度を連続的にモニターし、その温度に応じて適当なセグメントの傾き及び切片を共に求める。図6に示す例では、温度 $T_N$ と $T_{N-1}$ の間の温度 $T_x$ 及び新しい差電圧 $\xi_x$ を下式で計算する。

【0028】

【数5】

$$\xi_x = m_{N-1} \times T_x + b_{N-1}$$

$\xi_x$ をトリミングされていない基準電圧から差し引くと理想電圧 $V_{IDEAL}$ が得られる。本発明のチップによる実施例は分解能を増加させるため不等辺四辺形による近似法を用いる基準を含む。その結果を図7に示すが、これは不等辺四辺形による近似を行うためセクションごとに下記の全体式を利用する。

【0029】

【数6】

$$y = mx + b$$

不等辺四辺形による近似を好ましい実施例で用いたが、長方形による近似もまた利用可能である。さらに、他の種類の高次多項曲線当てはめ法では多項当てはめアルゴリズムを利用することが可能である。最小自乗法またはスプライン曲線当てはめ法も利用可能である。さらに複雑なアルゴリズムを用いると温度の変動により基準電圧の受ける影響が少なくなる。多項当てはめ法は下式を利用する。

【数7】

$$y = A + Bx + Cx^2 + Dx^3 \dots$$

$V_{UNTRIM}$ に対して受入れ可能な $V_{TRIM}$ を提供するに十分な曲線当てはめ法を実行するためには、温度ベースラインに沿って多数の点を設定する必要があることが分かる。従って、実際の装置を温度を変化させて測定する必要がある。後述するように、これらの測定はそれぞれバーンイン(burn-in)工程の較正時それぞれの温度で行う。このデータを持久了メモリに記憶させた後で取り出す。この後では好ましい実施例では最終テストのことであるが、最終較正パラメータを計算してチップの実際の作動時に用いるためEEPROM60に記憶させる。これについては後述する。

【0030】図8はデルタースigma多重化方式の概略図である。この図から分かるように、デルタースigma型アナログデジタルコンバータ52の入力は種々の動作を

12

行うため多重化されている。即ち、 $V_{UNTRIM}$ 、 $V_{th}$ 、 $V_{IDEAL}$ 及び接地電圧を用いてチップの較正及び作動の両方に必要な情報が発生される。電圧 $V_{UNTRIM}$ はノード84に接続してある。ノード84はスイッチ86、88、90、92、94の入力に接続してある。スイッチ86、88、92のもう一方の端子はノード96に接続しており、このノードはデルタースigma型アナログデジタルコンバータ52の $V_{REFERENCE}$ 入力を構成する。スイッチ90のもう一方の側はノード98に接続してあり、デルタースigma型アナログデジタルコンバータ52の $V_{SIGNAL}$ 入力を形成する。 $V_{th}$ はスイッチ100の一方の側に接続してあり、もう一方の側はノード96に接続してある。電圧 $V_{IDEAL}$ は外部の電圧標準102により発生され、その出力はスイッチ104の一方の側に接続してあり、もう一方の側はノード98に接続してある。アースはスイッチ106の一方の側に接続してあり、そのもう一方の側はノード98に接続してある。

【0031】スイッチ86はマルチプレクス制御信号 $\phi_1$ により制御される。これはオフセットを測定するために利用する。スイッチ88、90は、利得を測定するために利用するマルチプレクス制御信号 $\phi_2$ により制御される。スイッチ92、100は、温度を測定するために用いるマルチプレクス制御信号 $\phi_3$ により制御される。スイッチ94、104は、電圧を測定するために用いるマルチプレクス制御信号 $\phi_4$ により制御される。従って、4つのマルチプレクス制御信号 $\phi_1 - \phi_4$ により4つの動作モードが得られる。較正時、オフセット、利得、温度及び電圧を全て測定してそれらをEEPROM60に記憶させたパラメータを発生させるために利用する。作動時、温度を測定する。オフセットを求めるには、電圧 $V_{UNTRIM}$ を接地電圧と比較するだけでよく、利得については、 $V_{REFERENCE}$ 入力とデルタースigma型アナログデジタルコンバータ52の $V_{SIGNAL}$ 信号を $V_{UNTRIM}$ 信号に接続するだけでよい。温度の測定は、 $V_{th}$ 信号を $V_{SIGNAL}$ 入力に入力させ、 $V_{UNTRIM}$ 信号を $V_{REFERENCE}$ 入力に入力させて行う。電圧の測定は較正時 $V_{IDEAL}$ 信号と $V_{UNTRIM}$ 信号を入力として与えることにより行う。

【0032】図9はデルタースigma型アナログデジタルコンバータのブロック図である。 $V_{REFERENCE}$ 入力はスイッチトキャパシタセクション130の一方の側に接続され、もう一方の側は入力ノード132に接続されている。この入力ノードは増幅器134の非反転入力に接続されている。同様に、 $V_{SIGNAL}$ 入力はスイッチトキャパシタセクション136の一方の側を構成し、そのもう一方の側も入力ノード132に接続されている。スイッチトキャパシタセクション130、136は従来型スイッチトキャパシタセクションであり、キャパシタの各側は2つの別個に制御されるスイッチを介してアースとスイッチトキャパシタセクション130の入力及び出力に接続される。作動について説明すると、第1サイクルに



においてキャパシタの一方の側が接地されもう一方の側が  
入力信号に接続されるが、第2サイクルではキャパシタ  
のもう一方の側が接地され、前に接地されていた側が入  
力ノード132に接続される。

【0033】増幅器134の反転入力はアースに接続され、またフィードバックキャパシタ135は非反転入力  
と出力との間に接続されている。増幅器134の出力は  
スイッチトキャパシタセクション137の一方の側に接  
続され、そのもう一方の側は第2段増幅器138の非反  
転入力に接続されている。この増幅器138の負の入力  
はアースに接続され、また増幅器の非反転入力と出力の  
間にはフィードバックキャパシタ140が接続されてい  
る。増幅器138の出力はスイッチ141の一方の側に  
接続され、そのもう一方の側はノード142に接続され  
ている。このノード142はスイッチ144を介して接  
地され、またキャパシタ146の一方の側にも接続され  
ている。キャパシタ146のもう一方の側はノード14  
8に接続されている。ノード148はスイッチ150を  
介して接地されまたスイッチ154を介してコンパレー  
タ152の入力に接続されている。コンパレータ152  
の出力はI/Oデジタル流を構成する。ノード148は  
またフィードバックパスを介してキャパシタ158の一  
方の側とキャパシタ160の一方の側に接続されてい  
る。このキャパシタ158のもう一方の側はアースに、  
またキャパシタ160のもう一方の側はノード162に  
接続されている。ノード162はスイッチ164を介し  
てアースに接続されまたスイッチ166を介して増幅器  
134の出力に接続されている。これらのスイッチ14  
0, 144, 150, 154及びキャパシタ146は出  
力部のスイッチトキャパシタセクションを構成する。ス  
イッチ164, 166及びキャパシタ158, 160よ  
りなるフィードバックパスは1ビットのデジタルーアナ  
ログコンバータ・フィードバックパスを提供する。これ  
は従来型動作である。これら全てのスイッチトキャパシ  
タセクション及びスイッチのタイミングは周知であるた  
めこれ以上説明しない。

【0034】図10はトリミング回路14の詳細な論理  
図である。電圧 $V_{UNTRIM}$ はマルチタップ抵抗182の一  
方の側に接続されている。この抵抗のもう一方の側はア  
ースに接続されている。ワイパー184は抵抗182の  
65, 536個のうちの任意の点に接続されるが、この  
点はそれぞれデジタル的に選択可能である。ワイパーの  
もう一方の端部はノード186に接続されている。この  
ノード186はバッファ構成の演算増幅器188の一方  
の入力に接続されている。演算増幅器188の反転入力  
は出力に接続され、非反転入力にはノード186に接続さ  
れている。この演算増幅器は出力における出力電圧 $V_{$   
 $TRIM$ の駆動条件を満足させる。基準トリミングデジタル  
ーアナログコンバータ76はワイパー184が接続され  
るタップを選択することによりこの基準をトリミングす

るが、この新しい接続点または位置はデジタルバス16  
で受けたデジタルワードに応じて決まる。

【0035】図11はEEPROM60の作動を示すブ  
ロック図である。上述したように、このEEPROM6  
0はチップがその内部で発生したデータを記憶すると共  
に較正プロセスの実行及び最終的なデジタル補償ワード  
発生のためそのデータのダウンロード及びアップロード  
を行うべく外部からそのデータへアクセスしてきよう  
にする。従って、EEPROM60はチップの外部から  
アクセスできなければならない。これはチップ上のピン  
を多重化することにより容易に行える。さらに、プログ  
ラム電圧制御スイッチ190に加えて、チップの外部に  
おいてプログラム電圧を発生させる。これにより完全な  
プログラム電圧が $V_{PROG}$ 端子に入力され、プログラム電  
圧がEEPROM60へ印加することが可能となる。R  
/W信号は、マルチプレクサ192を介してEEPROM  
60のR/W信号に接続されるピン上に入力される。  
図示しないが、テストピンがあり、これは高レベルにな  
ると多重化されたピンをテスト目的の信号を受けるテス  
トモードにする。

【0036】シリアルI/Oポート64は1つのピン  
と、マルチプレクサ194を介して並直列コンバータ1  
96とに接続されている。この並直列コンバータ196  
は、マルチプレクサ194からのシリアル入力をデータ  
バス58へ出力するためのパラレルデータに変換すると  
共に、バス58からのパラレルデータをシリアルI/O  
バス64へ出力するように変換可能である。さらに、ア  
ドレス発生器200への接続のためマルチプレクサ19  
8によって多重化されたピン上にアドレス情報が受信さ  
れる。アドレス発生器200は論理制御回路56の一部  
であり、アドレスバス62上へ出力されるアドレスを発  
生することができる。テストモードでは、このモード  
のアドレスピンを所定の持続時間の間、高レベルにす  
ることによりアドレスを入力させる。アドレス発生器200  
の内部カウンタが入力ピン上のパルスの長さによりその  
アドレスを決定する。このアドレスはその後EEPROM  
60への出力でラッチされ、読取りモード時このデー  
タは出力されるが書込みモード時は入力される。上述  
したように、チップの外部からこのEEPROM60にア  
クセスする目的はデータをアップロード及びダウンロード  
するためである。しかしながら、システム全体をチッ  
プ上に形成するとEEPROM60への外部からのアク  
セスは不要となる。

【0037】較正動作時、外部温度制御器195及び温  
度センサー196が提供される。外部温度制御器はパー  
ンイン・オープン内の運転温度を決定し、データを収集  
するためのテストを始動させるTEST信号を発生する  
ことができる。テスト時、システムは初期化され、信号  
が論理制御ブロック56へ入力される。論理制御ブロッ  
ク56はデータを測定するようにアナログーデジタルコ

15

ンバータ52に命令することが可能であり、その後このデータはEEPROM60に記憶される。外部温度制御器195は130°Cから30°Cに減少する温度範囲内の23のポイントにおいて論理制御ブロック56への測定プロンプト信号を周期的に発生させることが可能である。アナログデジタルコンバータ52が測定を行うと、その結果がEEPROM60内の最初に利用可能な場所に記憶される。内部カウンタ及び論理制御回路56は次の測定データが次の場所に記憶されるようにアドレスをインクリメントする。後述するように、情報の一部は温度データである。温度データはそのデータがいかなる温度で測定されたかについての情報を与える。後で、データを取り出す際、関連の校正データを見付けるにはこの温度データが必要であるにすぎない。

【0038】図12は本発明の別の実施例であり、その校正動作は、テストモード時のデジタルエラー電圧及びデジタル温度信号の発生と、温度が所定の温度範囲を越えそして外部のTEST信号が存在するときEEPROM60へ記憶させるための補償パラメータの計算とよりなる。EEPROM60に記憶させる補償パラメータはその後バス16上にデジタル補償ワードを発生させるためマルチプライヤ/アキュムレータにより利用される。

【0039】動作について説明すると、マルチプレクサ63がデジタルフィルタ54が出力したデータを受けてそれをデータバス58或いはアドレスバス62へ差し向けることによりデータまたはアドレス情報を供給する。校正モードでは、非常に小さい増分で多数の温度測定が行われる。これは23回の測定を行うに過ぎない上述の実施例とは対照的である。従って、各温度値に対して校正パラメータが計算される。EEPROM60に情報を記憶させるためのアドレスは、温度測定の際デジタルフィルタ54により出力されるTEMPデジタル値に対応する。従って、後述するように、RUNまたは作動時、補償パラメータを出力するようEEPROM60をアドレスすることだけが必要である。さらに、マルチプライヤ/アキュムレータ74の制御により論理制御回路56が補償パラメータを発生し、それによりデジタル補償ワードがRUN動作時、補償パラメータとしてEEPROM60に記憶されるようにする。

【0040】TEST信号があると、マルチタップしきい回路201はデータバス58からデータを受けてその温度で校正動作を始動させ、しきい値を過ぎると必ずEEPROM60へ記憶させるためデジタル補償ワードを決定する。例えば、もし部品またはチップの温度が130°Cから30°Cへ変化すると、デジタルフィルタ54により出力されるデジタル温度値が多数のしきい値のうちの1つを通過する。デジタル温度値がしきい値を通過するごとに校正動作が始動され、その温度におけるアナログデジタルコンバータ52が発生したデジタル温度値及びデジタルエラー電圧がマルチプライヤ/アキュ

16

ムレータ74へ入力され、マルチプライヤ/アキュムレータ74に関連する補償アルゴリズムに従ってデジタル補償ワードが計算される。その後このデジタル補償ワードが校正動作を始動させたデジタル温度値に関連してEEPROM60に記憶される。

【0041】上述したように、これはデジタルフィルタ50により出力されるデジタル温度信号の値に関連するEEPROM60内のアドレスにすぎない。さらに、アドレス発生器200はマルチタップしきい回路により制御することが可能であり、その後温度電圧とデジタル補償ワードの両方がそのアドレスに記憶される。このモードでは、RUN動作はデジタルフィルタ54により出力される値と、関連のデジタル補償ワードを出力させるためEEPROM60に記憶されるTEMP値との比較を必要とする。図12の実施例では、集積回路或いはモノリシック電圧基準発生器がTEST信号の存在に関連するある特定の温度範囲を過ぎるという事実だけによってデジタル補償ワードを自動的に発生可能であることが分かる。外部での測定は不要で、デジタルフィルタ54の出力へのアクセスも不要でありまた補償トリミング動作を行うためEEPROM60の内容へアクセスすることも不要である。

【0042】図13はデータ収集動作を表わすフローチャートである。この好ましい実施例では、複数のチップ10がバーイン工程を通るが、この工程ではチップは所定時間、所定の高い温度及び低い温度において不足電圧状態に維持される。しかしながら、テストが完了するとバーイン・オープンを高温から室温へ変化させた後そのデバイスを取り出す。この温度低下時において、チップは校正を行うに十分な数の温度ポイントを与えるに必要な温度範囲を通過する。この校正はその温度低下時において、温度制御器194により温度及び他のパラメータを温度の各増分ごとに自動的に測定することによって行う。これらの温度増分は前もって決められている。この方式は、チップを特殊なテストボード上に置いて主として温度テストを行い、補正係数を指示させてそれを記憶させる必要のある方式とは対照的である。この方式は、後述するように、自動的に校正演算を行い、所定の情報を計算し、EEPROM60にこの情報を記憶させるものである。

【0043】さらに図13を参照して、このフローチャートはスタートブロック204でスタートし、ブロック206へ進んでNの初期値を零にセットする。好ましい実施例のNの値は23個ある。プログラムは次に機能ブロック208へ進んでV<sub>BG</sub>と呼ぶ接地電圧とV<sub>NTRIM</sub>の比率を測定する。これがオフセット値OFFSTである。この測定はマルチプレクス制御信号φ<sub>1</sub>により容易に行える。機能ブロック210で示すようにこれを記憶させた後、プログラムは機能ブロック212へ進んでマルチプレクス制御電圧φ<sub>2</sub>により利得を測定する。この

ためデルタ・シグマ型アナログ・デジタルコンバータ52の両方の入力に電圧V<sub>UNTRIM</sub>が印加されVBG対GNDの比率を得られる。機能ブロック214で示すように、その後プログラムはこれを利得としてEEPROM60に記憶させる。

【0044】次いでプログラムは機能ブロック216へ進んで絶対電圧測定値を求める。これはマルチプレクス制御信号φ<sub>4</sub>により行われるが、この信号は電圧を測定するために用いられる。これは電圧V<sub>UNTRIM</sub>とV<sub>IDEAL</sub>の比率を測定する。これは機能ブロック218で示すように項VBGAとして記憶される。さらにプログラムは機能ブロック220へ進んでマルチプレクス制御信号φ<sub>3</sub>により電圧V<sub>th</sub>/電圧V<sub>UNTRIM</sub>またはVBGを測定することにより温度を測定する。これは機能ブロック222に示すように可変TEMPとして記憶される。

【0045】ここで重要なことは、TEMPの値を求めるときアナログ・デジタルコンバータ52の基準入力電圧V<sub>UNTRIM</sub>に接続されていることである。このようにして、アナログ・デジタルコンバータ52上のTEMPとして出力される電圧信号はRUN動作時に出力される電圧と同一である。これはV<sub>UNTRIM</sub>の温度による変動が反復的であるという事実による。このため、TEMPの値はEEPROM60に記憶させた校正データの「タグ」として働く。EEPROM60に記憶された2つのTEMP値の間の電圧を測定すると、これら2つの電圧間の外挿が必要であるに過ぎない。このようにして、精度がほぼ0.1度に維持される。

【0046】TEMPの値を記憶させた後、プログラムは判定ブロック224へ進んでNの値が最大値に等しいか否かを判定する。もし等しくなければプログラムは「N」バスを進んで機能ブロック226へ入りNの値を増分して機能ブロック208の入力へ戻る。しかしながら、全測定完了後、プログラムは「Y」バスに沿ってエンドブロック228へ進む。各パラメータを計算により求めた後記憶させると説明したが、システムは実際、Nの所与の値に対する4つの変数を全て蓄積した後これら4つの値を4つの16ビット・ブロックより成る1つの64ビットワードとしてEEPROMに記憶させる。ここで重要なことは、データは温度低下時、自動的に収集されてEEPROM60に記憶されるということである。これは補償パラメータを計算してEEPROM60内のこれらの補償パラメータを取り出した後、最終テストにおいて利用される。従って、EEPROM60は温度補償パラメータ或いは関連の任意の温度より成るチップの温度履歴を含む。さらに、温度低下時、校正パラメータをチップにつき計算して補償係数だけをEEPROMに記憶させることも可能である。

【0047】図14は、スタートブロック234でスタートされる最終テストを表わすフローチャートである。パーイン・オープンから部品またはチップを取り出した

後、プログラムは機能ブロック236へ進んで変数TEMP、VBGA、GAIN、OFSTをダウンロードする。その後プログラムは機能プログラム238へ進んでNの値を零にセットし、機能ブロック240へ進んでエラー値を計算する。このエラー値は本質的に、GAINのオフセット値をVBGAのオフセット値で割算し、それから1を差し引いた後216を乗算したものである。プログラムはその後機能ブロック242へ進んでNの傾きを計算する。これはNとN-1のエラー値の差をTEMP(N)とTEMP(N-1)の温度差で割算した値に等しい。その後プログラムは機能ブロック244へ進んでy切片を計算する。このy切片はN-1のエラーとNの傾きとN-1のTEMP値の積の差に等しい。その後プログラムは機能ブロック246へ進んでTEMP、SLOPE及びy切片値をアップロードする。プログラムはその後判定ブロック248へ進んでNの値が最大値に等しいか否かを判定する。もし等しくなければ、プログラムは機能ブロック250へ進んでその値を増分しその後機能ブロック240の入力へ戻る。全ての計算が終わるとプログラムはエンドブロック252へ進む。

【0048】図15はRUN動作のフローチャートであり、スタートブロック254でスタートした後機能ブロック256へ進んで温度電圧V<sub>th</sub>とトリミングされていない電圧VBGの比率を測定する。その後プログラムは判定ブロック258へ進んでTEMPの値がTEMP

(1)の値より低く曲線の最初の点を示すものであるか否かを判定する。もしそうであれば、SLOPEとYINTERCEPTはブロック259で示すようにN=1に対して与えられるSLOPE及びYINTERCEPTの値に等しい値にセットされる。もしそうでなければ、プログラムは判定ブロック260へ進んでTEMPの値が曲線のエンドポイントであるTEMP(21)より大きいかな否かを判定する。もしそうであれば、プログラムは判定ブロック262へ進んでSLOPE及びYINTERCEPTの値をN=21の値に等しいようにリセットする。もしTEMPの値が下方の境界より低いか或いは上方の境界よりも高い場合は、プログラムは判定ブロック264へ進んでTEMPがTEMP(N)とTEMP(N+1)との間にあるかな否かの判定を行う。もしそうでなければ、プログラムは判定ブロック258の入力へ戻ってTEMPの値がどこにあるかを再びチェックする。しかしながら、TEMPの値がこれらの範囲間にある場合、プログラムは機能ブロック266へ進んでSLOPEとYINTERCEPTの値をNの値に対するSLOPE及びYINTERCEPTに等しい値にセットする。機能ブロック259、262、266の出力は機能ブロック268へ進む。

【0049】機能ブロック268においてERRORの値を求めるが、これはSLOPE(N)とTEMPの積にNの切片値を加えたものに等しい。その後プログラムは機能ブロック272へ進んでV<sub>DAC</sub>の値を計算する

が、この値はERROR値を $V_{UNTRIM}/2^{16}$ で割算したもので、ERROR値は $2^{16}$ 個のセグメントの各々に対して50マイクロボルトの増分で変化する。プログラムはその後機能ブロック274へ進んで出力VBG( $V_{UNTRIM}$ )とVDACの差である $V_{TRIM}$ の値を計算する。その後プログラムは機能ブロック256の入力へ戻るが、200ミリ秒の一定の時間インターバルで循環する。

【0050】この通常動作時、デルタースigma型コンバータはマルチプレクス制御信号 $\phi_3$ に対応するモードにロックされ、200ミリ秒の一定の時間インターバルで測定値が得られる。温度が変化すると、デジタルマルチプライヤ/アキュムレータ74がデルタースigma出力ワードに基づいて正しい温度セグメントを選択し、この対象となるセグメントに対応する傾き及び切片情報を用いてその計算を行う。この計算の結果が基準トリミングデジタル-アナログコンバータ76を制御し、トリミングされた基準電圧が常に正しくなるようにエラー電圧を調整する。

【0051】図16はヒステリシスのない場合とヒステリシスのある場合の2つの状態に対する補償された出力電圧 $V_{TRIM}$ のプロットを示す。ヒステリシス曲線は曲線280で示し、ヒステリシスのない曲線は曲線282で表わす。ヒステリシスにより一定の時間での補償方式に存在する問題が解決する。例えば、集積回路の温度が2つの可能なデジタル-アナログコンバータ・トリミングコードの正確にその境界上の温度であるとき、トリミングされた基準は3.0ボルトの電圧上の、周波数5HzのDACトリミングが1LSBの( $\pm 50$ マイクロボルト)の方形波をもつかもしれない。その結果曲線282が得られる。好ましい実施例では、集積回路に対してデジタルヒステリシスアルゴリズムを実行するため、基準トリミングデジタル-アナログコンバータは電圧基準がトリミングされる前に1よりも大きい一定数の最下位ビットだけ変化する必要がある。好ましい実施例では、ヒステリシスの値は5にセットされているため、これがデジタル-アナログコンバータ・トリミング出力が変化する前に変化する必要のある最下位ビットの数となる。これにより小さな温度偏移に対する基準電圧の見掛け上のステップ数が減少する。

【0052】較正時、マルチプレクサへの制御信号 $\phi_4$ が存在する間トリミングされていない電圧基準 $V_{UNTRIM}$ の絶対値を得るために外部の標準基準電圧を用いる。この外部電圧はパーンイン・オープン内の全ての集積回路に接続されているため、長い印刷回路板が必要である。このパーンイン・オープンの環境は、望ましくない周波数60Hzの干渉の存在を回避できない環境である。外部の標準基準電圧を読み取ると60Hzのライン周波数の干渉の問題が悪化するだけである。

【0053】この問題を解決するため、マルチプレクサ制御信号 $\phi_4$ が存在する期間の間逆デルタースigma変換

を行う。通常、外部電圧基準がデルタースigma基準入力に接続され、トリミングされていない電圧 $V_{UNTRIM}$ がデルタースigma信号入力に接続される。本実施例では、その逆でもよい。そのようにするとデジタルフィルタのデルタースigma信号入力における減衰が利用できる。デジタルフィルタ54の零点は5Hzの倍数点にあるため、外部の電圧基準に存在する任意の50Hzまたは60Hzのライン周波数による干渉がデジタルフィルタ54により大きく減衰され、測定値を不正確にすることはない。この逆変換は各セグメントに対して傾き及びy切片値を計算するときテストを行う人が留意する。

【0054】要約すると、本発明はバンドギャップ電圧基準回路のようなアナログ基準電圧発生器をトリミングする方法を提供する。アナログ-デジタルコンバータを用いて、トリミングされていない電圧を理想電圧と比較すると共にそのトリミングされていない電圧を温度電圧とも比較する。この情報を用いて補償パラメータを較正する。これらの補償パラメータはチップの内部温度が変化するパーンイン工程の間に計算により求める。温度がこのように変化する間、トリミングされていない電圧を温度に対して補償するに必要な較正パラメータを求めてこれを持久型メモリに記憶させる。チップの作動時、温度を測定して適当な補償係数を持久型メモリから取り出し、これを用いてその電圧をトリミングするアナログトリミング回路を制御するデジタル補償ワードを発生させる。

【0055】

【図面の簡単な説明】

【図1】アナログ基準をトリミングする回路の全体ブロック図。

【図2】アナログ基準をトリミングする好ましい実施例のさらに詳細なブロック図。

【図3】図2のブロック図に用いる曲線当てはめアルゴリズムを示す図。

【図4】図2のブロック図に用いる曲線当てはめアルゴリズムを示す図。

【図5】図2のブロック図に用いる曲線当てはめアルゴリズムを示す図。

【図6】図2のブロック図に用いる曲線当てはめアルゴリズムを示す図。

【図7】図2のブロック図に用いる曲線当てはめアルゴリズムを示す図。

【図8】異なる動作モードを制御するためのデルタースigmaコンバータの多重化方式を示す詳細なブロック図。

【図9】デルタースigma型アナログ-デジタルコンバータの詳細なブロック図

【図10】トリミング回路及びセグメント化されたデジタル-アナログコンバータの簡単なブロック図。

【図11】EEPROMのプログラミング動作を示すブロック図。

21

22

【図12】EEPROMのプログラミング動作を示すブロック図。

【図13】データ収集動作のフローチャート。

【図14】EEPROMに記憶させる補償係数を発生させるための最終テストのフローチャート。

【図15】温度補償動作のフローチャート。

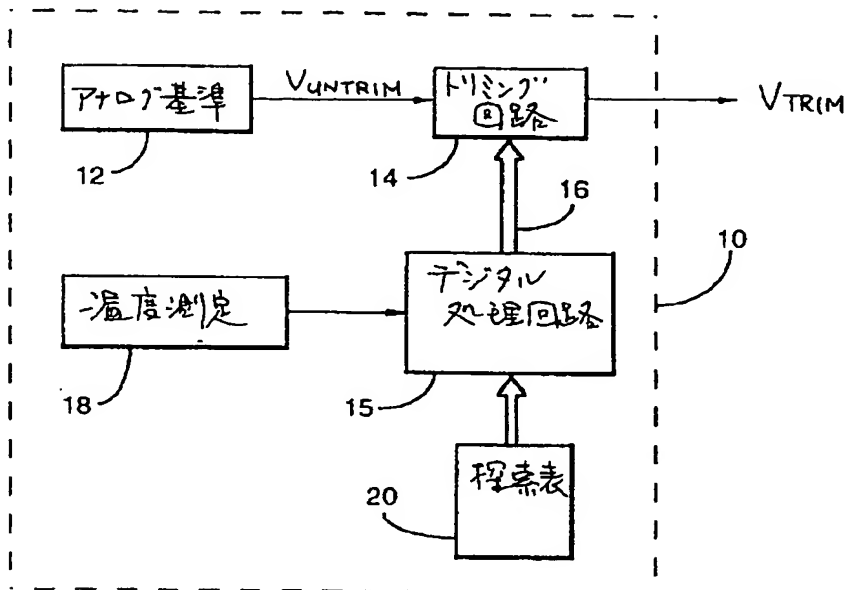
【図16】ヒステリシスがある場合とない場合のセグメント化されたデジタル-アナログコンバータ出力の比較プロットである。

【符号の説明】

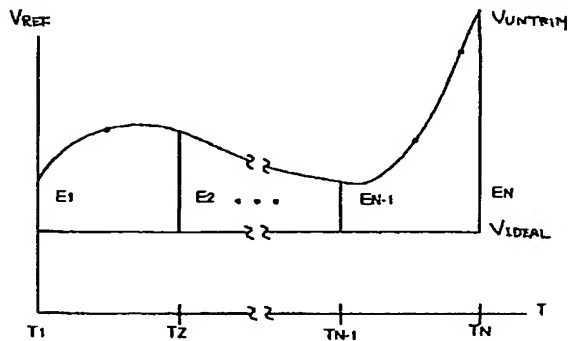
- 10 チップ  
12 トリミングされていないモノリシックアナログ基準  
14 トリミング回路

- 15 デジタル処理回路  
16 デジタルバス  
18 温度測定装置  
20 探索表  
50 バンドギャップ電圧基準  
52 デルタ-シグマ型アナログ-デジタルコンバータ  
54 デジタルフィルタ  
56 論理制御回路  
60 EEPROM  
62 アドレスバス  
66 I/O回路  
70 電荷ポンプ  
74 マルチプライヤ/アキュムレータ

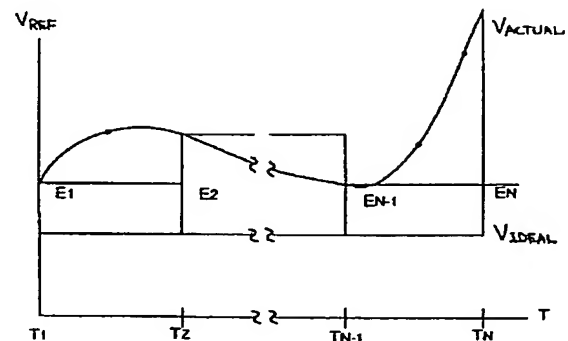
【図1】



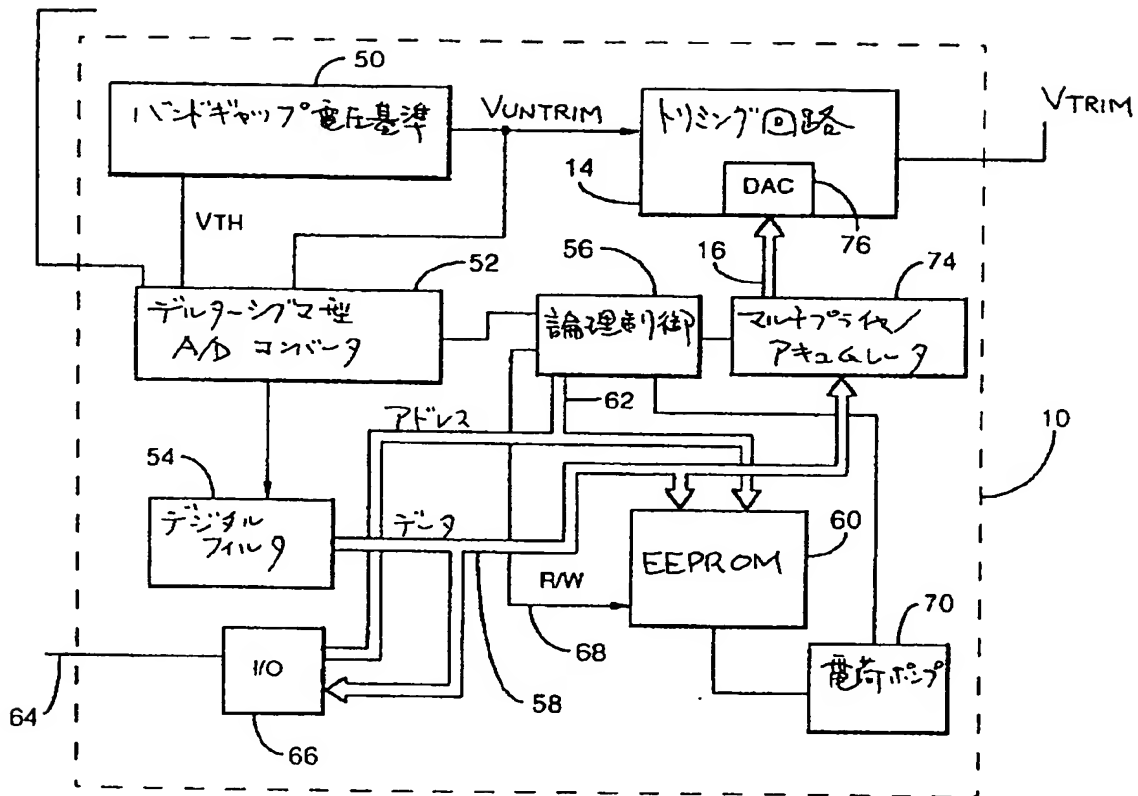
【図3】



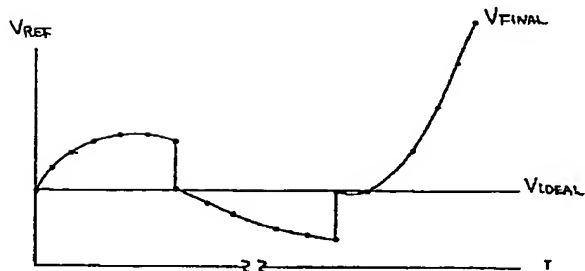
【図4】



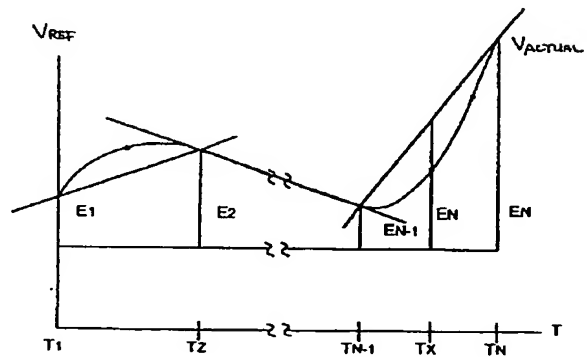
【図2】



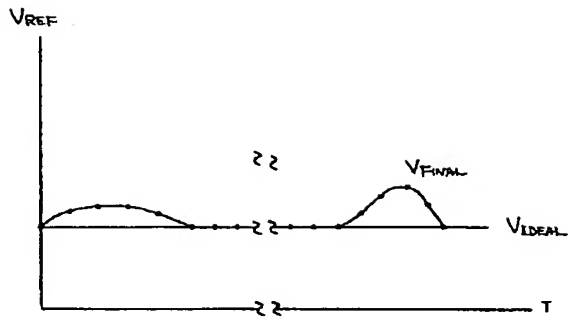
【図5】



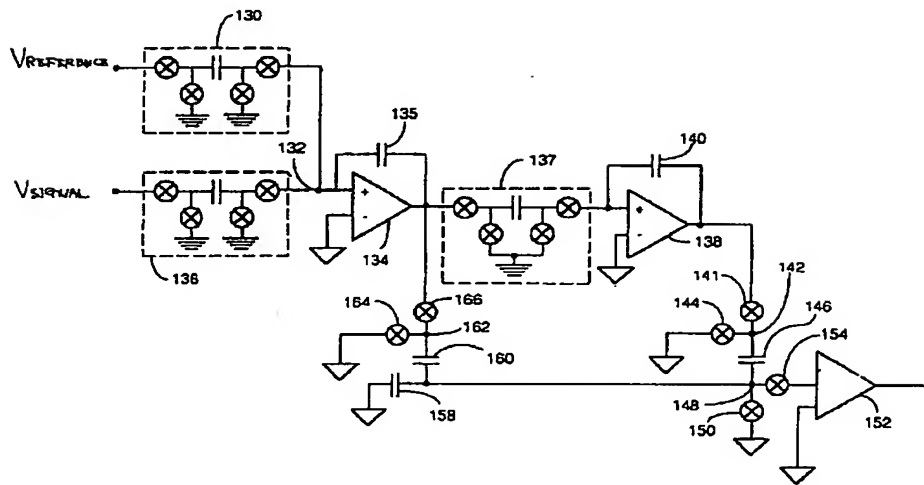
【図6】



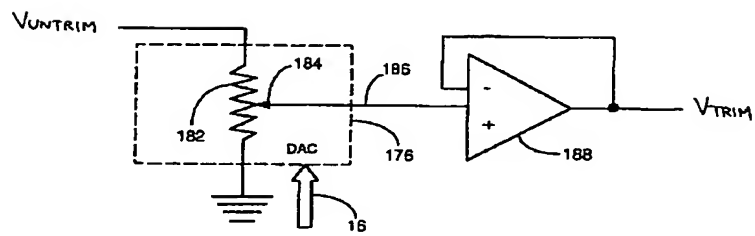
【図7】



【図9】

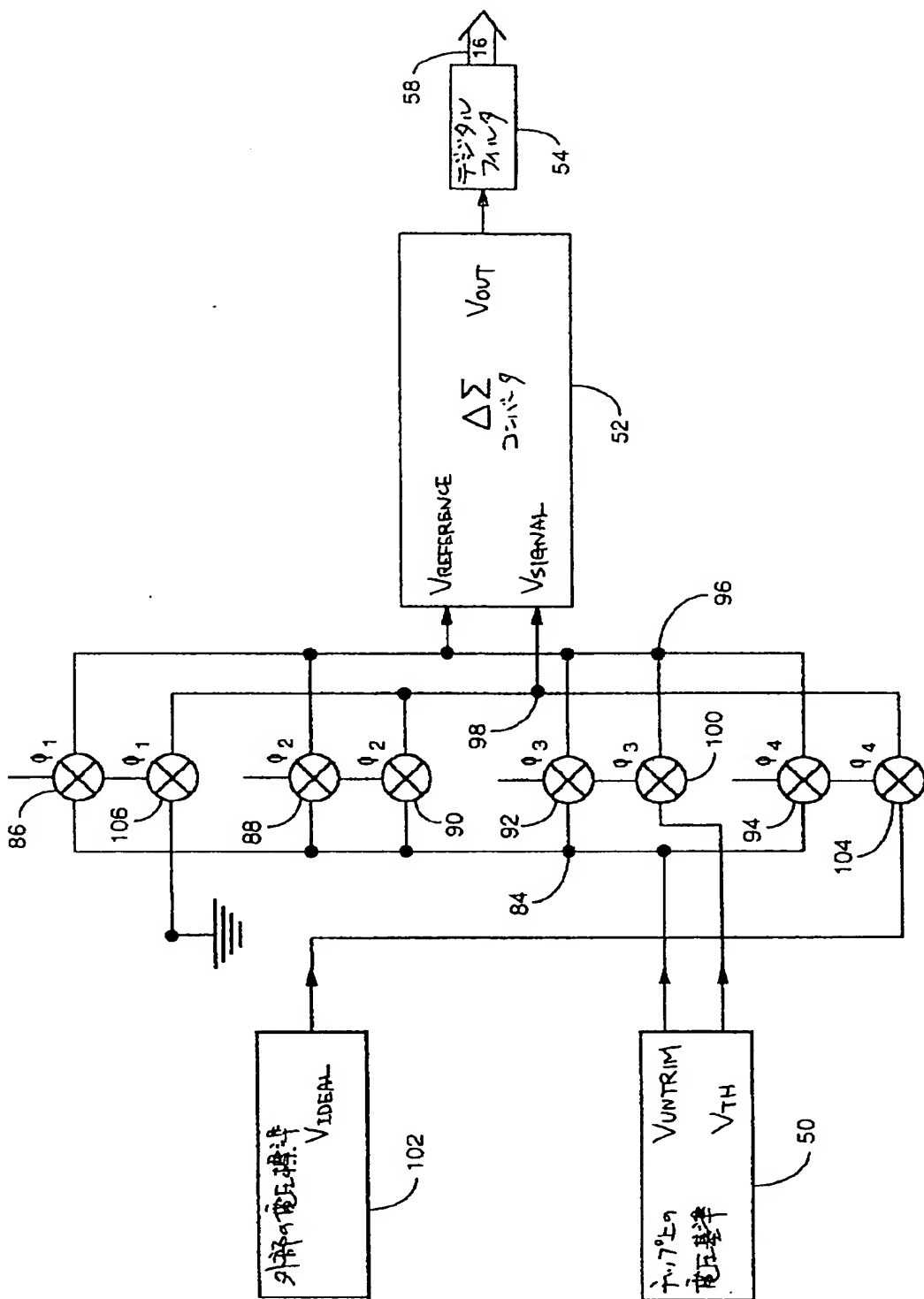


【図10】

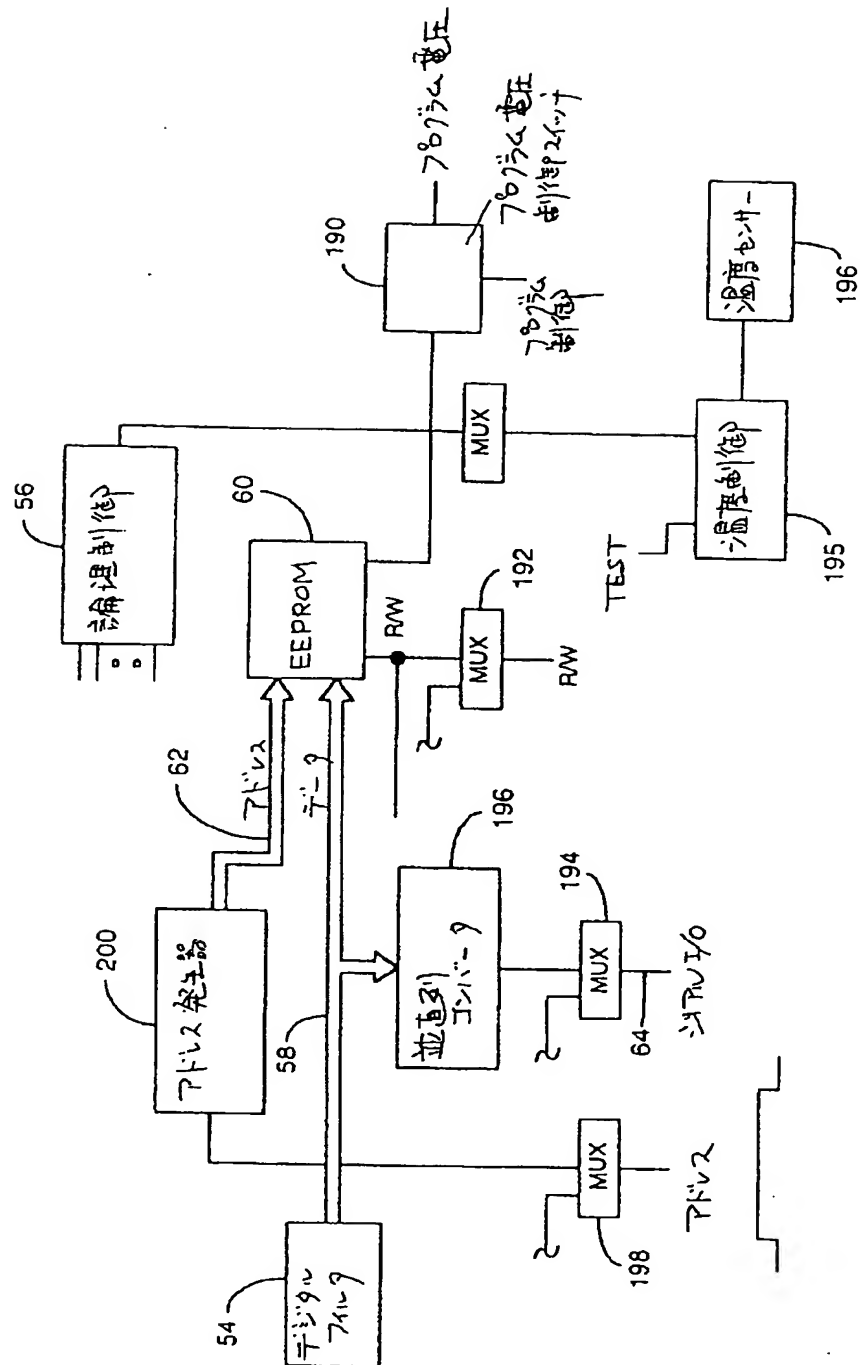




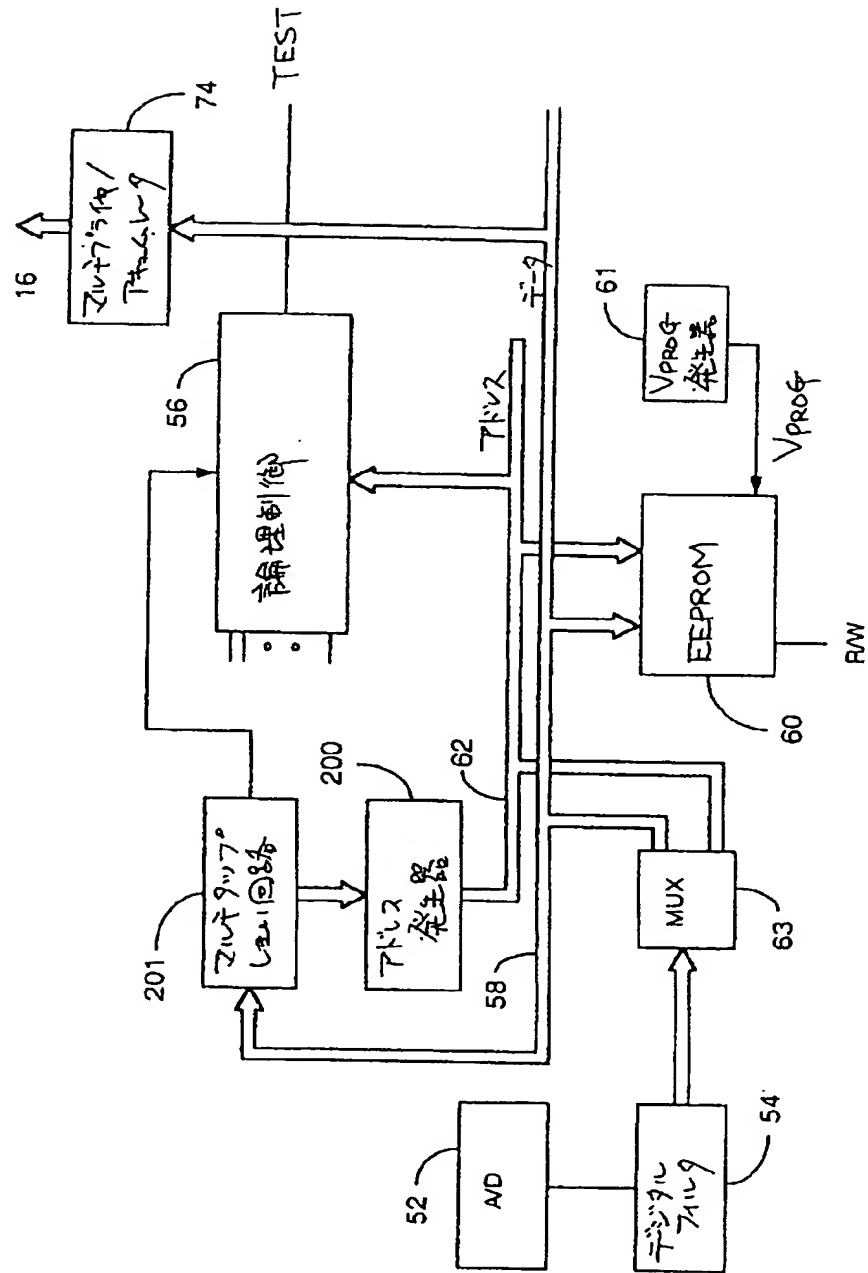
【图 8】



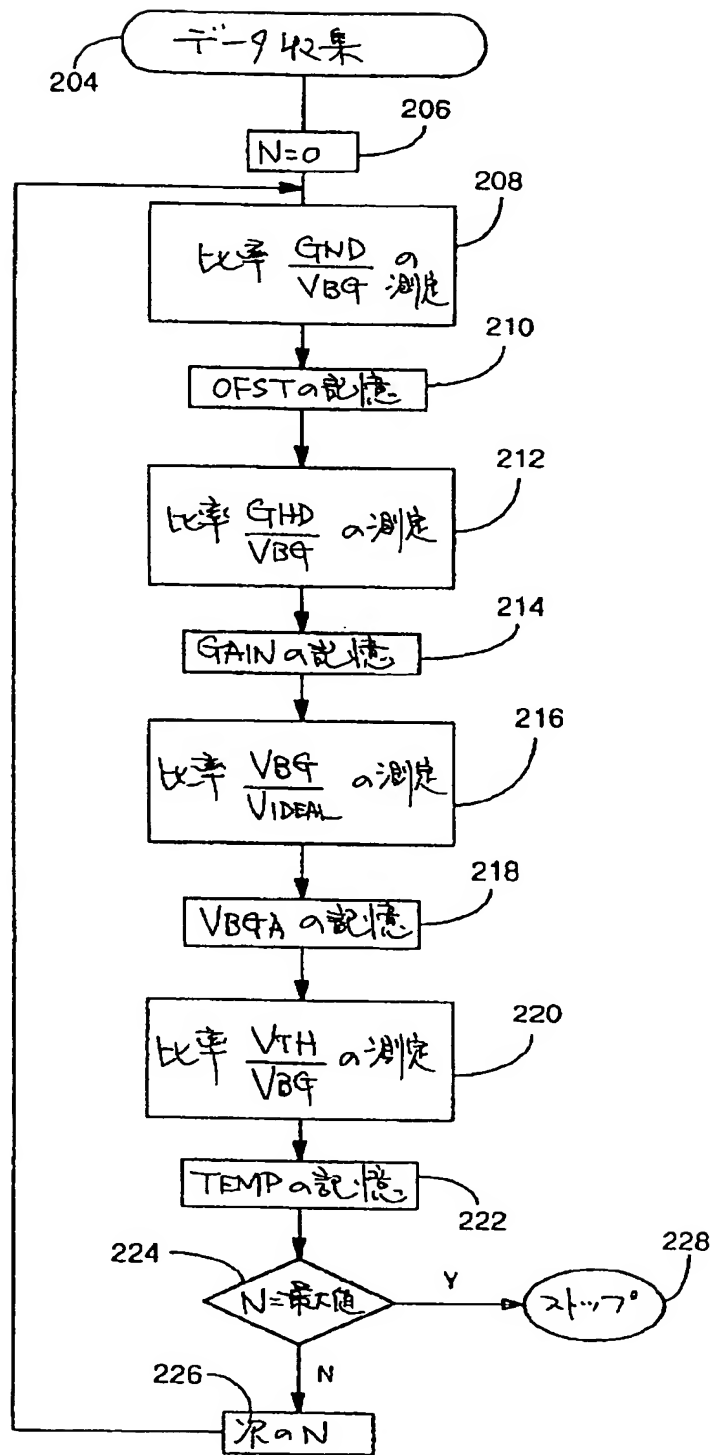
【図 1 1】



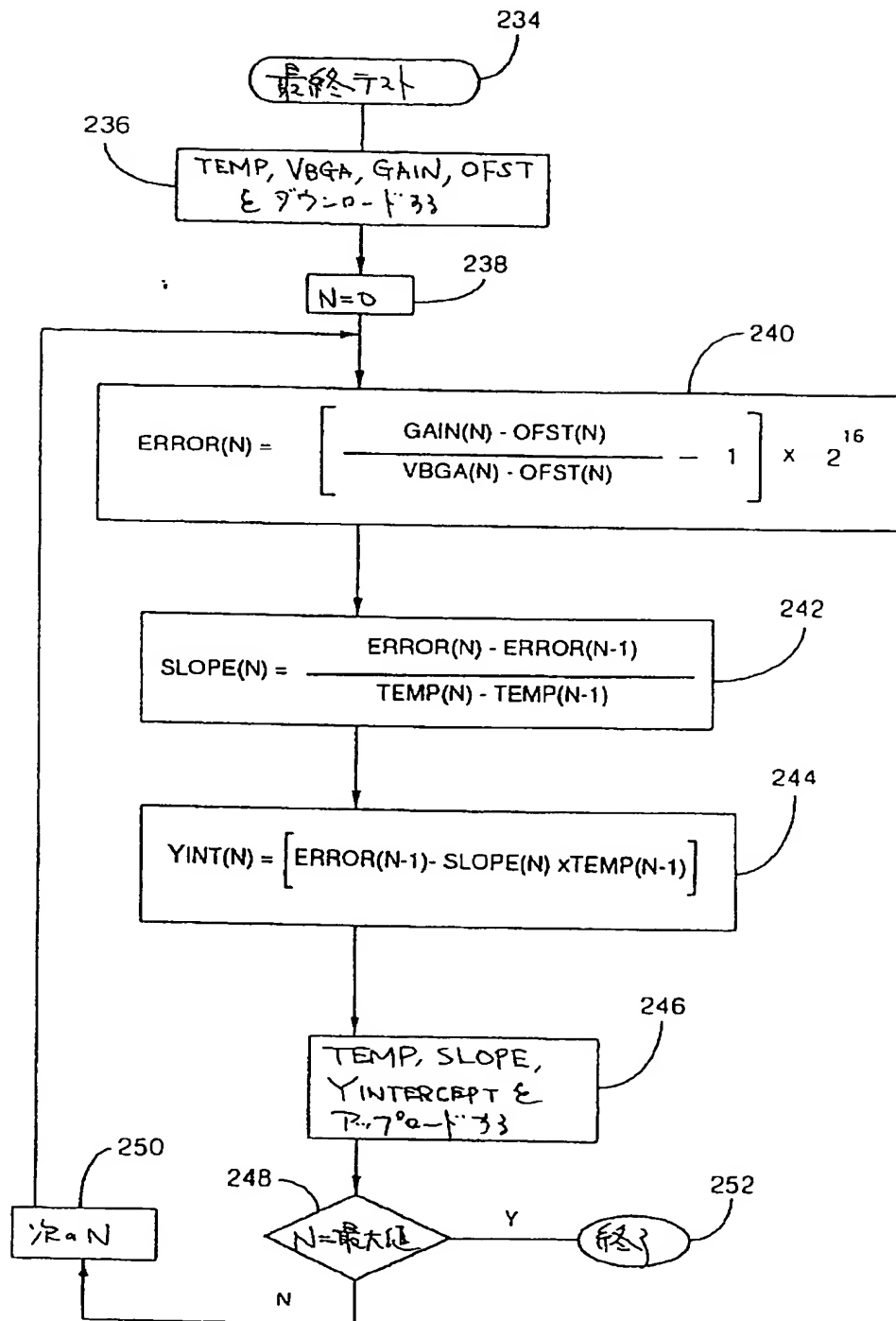
【図12】



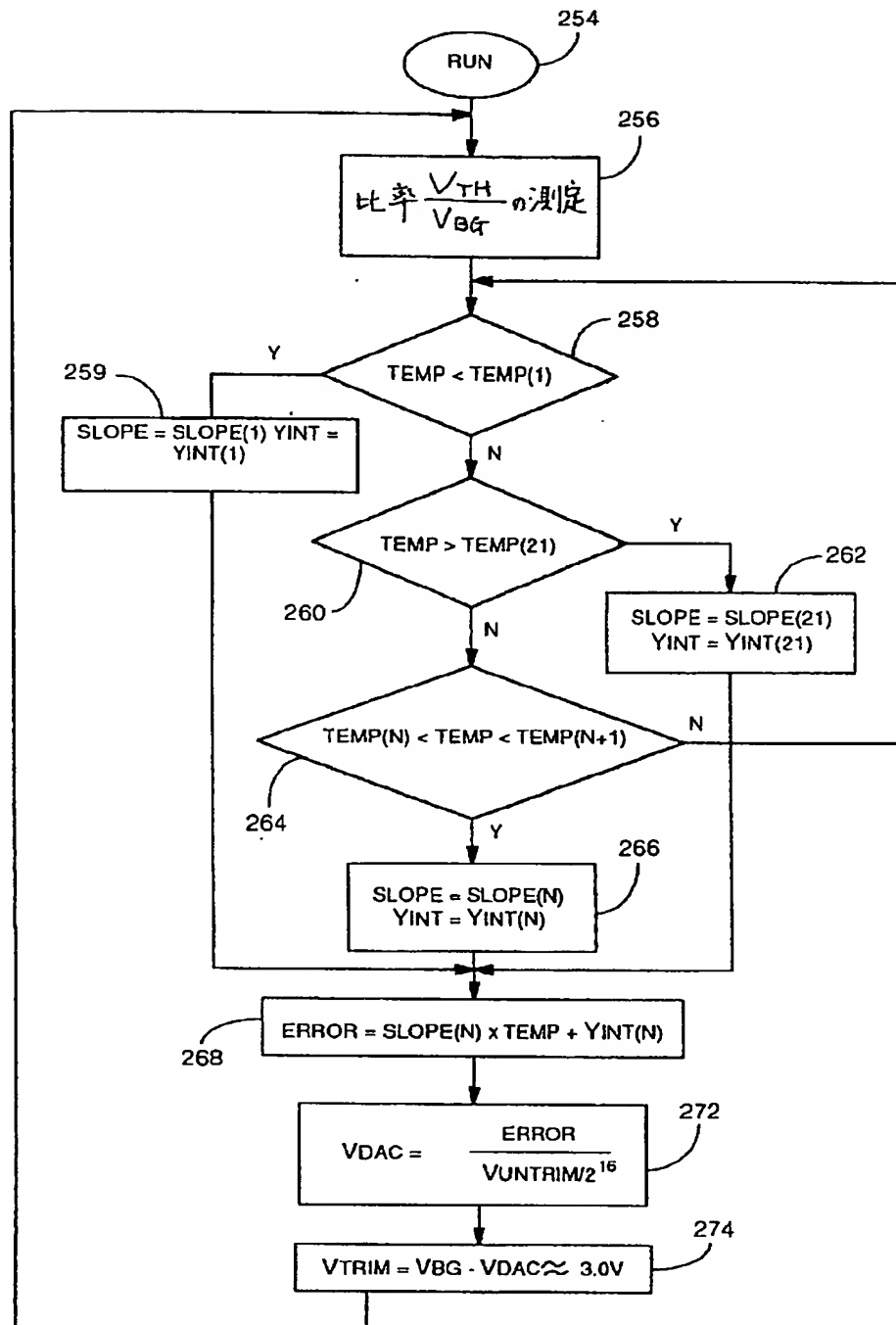
【図13】



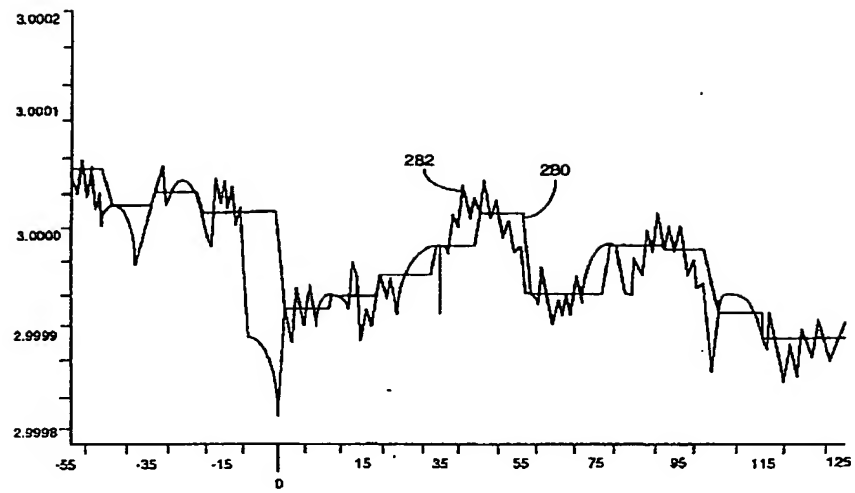
【図14】



【図 15】



【図16】



---

フロントページの続き

(72)発明者 エリック ジェイ スワンソン  
アメリカ合衆国 テキサス州 オースティ  
ン レジャーウッズ 505



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**